第 14 卷 第 1 期
2025 年 1 月
集 成 技 术
JOURNAL OF INTEGRATION TECHNOLOGY
Vol. 14 No. 1
Jan. 2025

引文格式：
孔维坤, 钟诚, 陈文博, 等. 基于积层胶膜材料封装基板的信号损耗研究 [J]. 集成技术, 2025, 14(1): 91-104.
Kong WK, Zhong C, Chen WB, et al. Study on signal loss of packaging substrate based on build-up film material [J]. Journal of Integration Technology, 2025, 14(1): 91-104.

基于积层胶膜材料封装基板的信号损耗研究

孔维坤[1,3#] 钟 诚[2#] 陈文博[1] 于淑会[1*] 孙 蓉[1,2]

[1](中国科学院深圳先进技术研究院 深圳 518055)
[2](深圳先进电子材料国际创新研究院 深圳 518103)
[3](中国科学技术大学纳米科学技术学院 合肥 230026)

摘 要 随着摩尔定律逐渐逼近其物理极限，下一代集成电路技术的发展面临前所未有的挑战，不仅技术难度陡增，成本也呈急剧上升趋势。在此背景下，先进的封装基板作为支持系统集成和巨量 I/O 提升的重要载体，成为后摩尔时代的核心部件之一。基于积层绝缘胶膜(build-up film，BF)材料的半加成工艺是实现细间距多层封装基板的主要途径之一。由于电子设备在高频高速运行环境中的信号完整性面临严峻挑战，因此该文着重探讨了 BF 材料的物理性能和结构特征对信号传输损耗的影响，并基于微带线和过孔等典型基板结构，通过电学仿真分析系统研究了 BF 材料参数与信号传输性能之间的关系。研究表明：在微带线结构中，信号传输损耗随频率的增加而增大，且这一损耗与 BF 材料的介电损耗因子密切相关；而在过孔结构中，BF 材料的介电常数显著影响等效电容和阻抗值，进而影响阻抗的不匹配度。BF 材料的特性虽然对阻抗不匹配有一定影响，但过孔结构本身的设计仍是影响阻抗匹配度的主要因素。此外，高频下导体趋肤效应导致的导体损耗随着铜箔粗糙度的增加而增加，可为封装基板制造过程中的铜箔质量控制提供参考。该研究揭示了 BF 材料的物理性能和结构特征对信号传输损耗的影响机制，可为封装基板设计提供参考。

关键词 积层胶膜材料；封装基板；微带传输线；过孔；传输损耗；电磁仿真
中图分类号 TM215.1 **文献标志码** A doi: 10.12146/j.issn.2095-3135.20240119001

收稿日期：2024-01-19 **修回日期**：2024-03-10
基金项目：国家自然科学基金项目(U20A20255)；深圳市科技计划项目(JSGG20210629144805017)
作者简介：孔维坤(共同第一作者)，硕士，研究方向为先进电子封装基板积层胶膜材料；钟诚(共同第一作者)，博士，研究方向为先进电子封装材料；陈文博，硕士，研究方向为先进电子封装基板积层胶膜材料；于淑会(通讯作者)，研究员，研究方向为电介质材料，E-mail：sh.yu@siat.ac.cn；孙蓉，研究员，研究方向为先进封装材料与技术。

Study on Signal Loss of Packaging Substrate Based on Build-Up Film Material

KONG Weikun[1,3#] ZHONG Cheng[2#] CHEN Wenbo[1] YU Shuhui[1*] SUN Rong[1,2]

[1](*Shenzhen Institute of Advanced Technology*, *Chinese Academy of Sciences*, *Shenzhen* 518055, *China*)

[2](*Shenzhen Institute of Advanced Electronic Materials*, *Shenzhen* 518103, *China*)

[3](*Nano Science and Technology Institute*, *University of Science and Technology of China*, *Hefei* 230026, *China*)

[*]*Corresponding Author*: *sh.yu@siat.ac.cn*

[#]*Equal Contribution*

Abstract Against the backdrop of Moore's Law approaching its limits and the increasing difficulty and cost of next-generation integrated circuit technologies, advanced substrate technology emerges a crucial carrier for supporting I/O enhancementand system integration in the realm of advanced packaging. It is also one of the core components in the post-Moore era. Currently, semi-additive process utilizing build-up film (BF) is one of theprimary methods for achieving fine-pitch multilayer packaging substrates. Given the increasingly prominent issue of signal integrity in electronic equipment operating in high-frequency and high-speed environments, this paper thoroughly discusses the impact of the physical properties of BF material and structural characteristics on signal transmission loss. Based on typical substrate structures, such as microstrip lines and vias, the relationship between BF material parameters and signal transmission performance is studied using an electrical simulation analysis system. It is found that in a microstrip structure, the signal transmission loss increases with an increase in frequency, and this loss is closely related to the dielectric loss factor of BF material. However, in the via structure, the dielectric constant of the BF material significantly influences the equivalent capacitance and the value of impedance, subsequently affecting impedance mismatch. Although the characteristics of the BF material do have some impact on impedance mismatch, the primary factor affecting impedance matching remains the design of via structure itself. In addition, the conductor loss resulting from the skin effect increases with the rise in copper foil roughness at high frequency, offering a crucial reference for quality control of copper foil during the manufacturing process of packaging substrate. This study elucidates the mechanism of physical property and structural characteristics of BF material influencing signal transmission loss, thereby proving a theoretical foundation for the design and optimization of BF material with enhanced physical properties for packaging substrate.

Keywords build-up film material; packaging substrate; microstrip line; vias; transmission loss; electromagnetic simulation

Funding This work is supported by National Natural Science Foundation of China (U20A20255) and Shenzhen Science and Technology Program (JSGG20210629144805017)

1　引　言

随着第五代通信技术和集成电路的快速发展，人工智能产业面临新的机遇和挑战。人工智能(artificial intelligence，AI)芯片是推动未来万物互联及各类智能应用广泛普及的关键基础。此过程的核心是 AI 芯片强大的算力和高效的功耗控制。然而，由于摩尔定律已逐渐逼近物理极限，因此 AI 芯片的算力提升和功耗降低更加依赖先进的封装技术。同时，AI 芯片对高带宽、低延时、低功耗等方面的要求日益严格，给封装设计带来了挑战。其中基板作为芯片封装的关键组成部分，不仅承载着芯片器件与封装流程，还承担着芯片与印制电路板之间的连接任务，对整个系统的性能表现具有重要影响，如图 1 所示。

作为先进封装的核心载体，基板具有电连接、保护、支撑和散热等关键功能。目前，封装基板的发展方向是更薄、散热性更好、线路更精细、集成度更高、制造周期更短[1]。高端倒装芯片 70%～80% 的成本来自封装载板，导致封装载板在封装材料中的成本占比最高。

在倒装芯片球栅阵列(flip chip ball grid array，FCBGA)等一些高性能基板中，不断减小的线宽和线距有望大幅提升系统的电气性能，但也对基板的制备工艺提出了极大挑战。基于积层绝缘胶膜(也称“积层胶膜”，build-up film，BF)材料的半加成工艺是实现细间距多层封装基板的主要途径[2-4]。

为提高芯片基板的性能，味之素株式会社提供了由不同粒径的环氧树脂和 SiO_2 组成的聚合物薄膜(Ajinomoto build-up film，ABF)材料。根据环氧树脂基体固化反应的不同，ABF 可分为 GX 系列、GZ 系列和 GL 系列 3 种[5]。GX 系列由苯酚与环氧树脂固化而成；GZ 系列由氰酸酯与环氧树脂固化而成；GL 系列由酚醛酯与环氧树脂通过插入反应固化而成。从 GX 系列到 GL 系列，ABF 材料中 SiO_2 填料的质量分数从 38% 增至 72%[6]。高含量 SiO_2 降低了 ABF 材料的热膨胀系数和损耗因子，使得高频信号传输过程中的信号传输损耗更低，同时显著提高了杨氏模量。聚合物的介电常数取决于其中存在的化学键和基团的极化率，不同的化学键具有不同的极化率[7]。一般来说，有机分子键的极化率较低，因此聚合物的介电常数较低。然而，极化率越低，分子基团的化学反应性越低。从机械可靠性的角度，则需要聚合物薄膜材料与铜线路之间具有更高的结合强度，以保证基板的可靠性[8]，而低极性聚合物与铜线路之间的结合力较低。为使聚合物电介质的电气和机械性能的组合较佳，就必须缓和上述冲突，平衡各分子群。当环氧树脂含有强极性官能团(如羰基和羟基)和膜材表面的粗糙

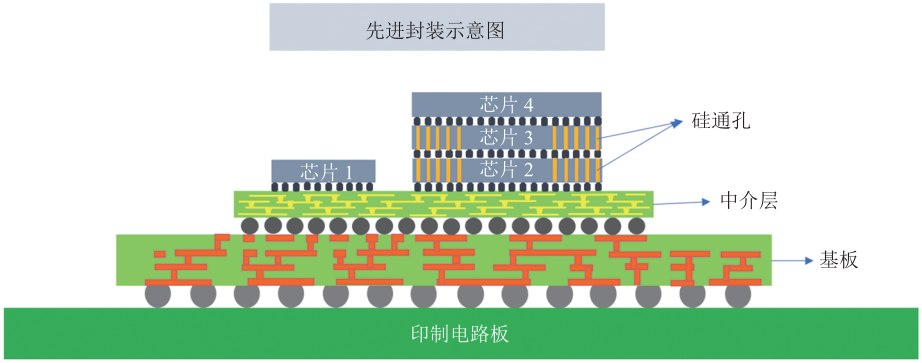


图 1　先进封装结构示意图

Fig. 1　Schematic diagram of advanced packaging structure

度较高时，聚合物薄膜材料与铜线之间的附着力较好，但通常会导致信号传输损耗更高[9]。由于氰酸酯的介电常数和介电损耗因子较低，因此被引入到环氧基材料中，以减少信号传输损耗[10]。聚合物主链结构中的苯环可在一定程度上限制分子链迁移，有助于减少信号传输损耗[11]。

由于现代电子系统的传输频率越来越高，以及电路走线设计被广泛应用于各种高速接口技术中，因此，封装基板信号线之间的传输损耗和串扰等信号完整性问题日益严重[12-13]。当前业界对信号完整性问题已有若干研究，例如：黄春跃等[14]基于 HFSS 软件建立了球栅阵列焊点模型，分析了信号频率对电场强度分布的影响，以及信号频率、焊点最大径向尺寸、焊盘直径和焊点高度对焊点回波损耗的影响，并对 9 种参数组合的球栅阵列焊点回波损耗进行了统计学极差分析；Tsai 等[15]针对多层封装非理想返回路径引起的信号完整性问题，重点研究了特定频率下可能出现的几种谐振模式，考察了非理想返回路径对带状线和微带线信号完整性的影响，提出了多层封装的最优堆叠设计；文献[16-17]通过缩短过孔短线、去除非功能焊盘和增加更多接地过孔等优化结构的方式优化散射参数 *S*，从而提高系统信号完整性。已有文献大多着重研究基板结构对信号完整性的影响，通过优化结构的方式改善信号完整性，针对积层胶膜材料的研究较少，其中一个重要原因是这种材料基由日本味之素株式会社独家提供，无论是厂家，还是研究人员，均无法对基板 BF 材料的特性进行调控。因此，基于胶膜材料的物理性能，研究 BF 多层封装基板结构的信号完整性问题，深入理解 BF 的材料性能与器件性能之间的内在关联，实现材料的可控开发和定制开发，具有重要的理论和实际意义。本文基于微带线、过孔等典型基板结构，以传输线理论为牵引，利用电磁仿真软件，系统研究了自研 BF（CBF）的材料物性和基板的结构特征对信号传输损耗的影响。此外，本文还讨论了铜箔粗糙度对信号传输损耗的影响。研究结果可为优化材料性能提供参考。

2 理论与材料

在基板结构中，不同形状的导线和过孔是最基本和重要的结构，导线负责信号在层内传输，过孔负责信号在层间传输。因此，本文主要基于典型导线和过孔结构，研究 BF 材料的结构特征对信号传输损耗的影响。

2.1 信号传输损耗及影响因素

信号传输损耗指信号在传输过程中消耗的能量或功率，包括电阻、传输线、器件和介质等引起的能量损失。在信号传输过程中，损耗会导致信号的功率衰减和信号幅度减小，严重影响信号的传输距离和可靠性。

当今环境下的芯片互连几乎都表现出传输线特性[18]。传输线指能传输电信号的连接器，常见的传输线有微带线、带状线、电缆、连接器等。当封装基板中互连线的物理长度大于信号上升边沿的 1/6 时，就必须将其视为传输线。本文首先基于传输线理论，简要论述影响信号传输损耗的主要因素。

如图 2 所示，根据传输线理论，在信号传输过程中，传输线可以等效为多段 *R*、*L*、*G*、*C* 电

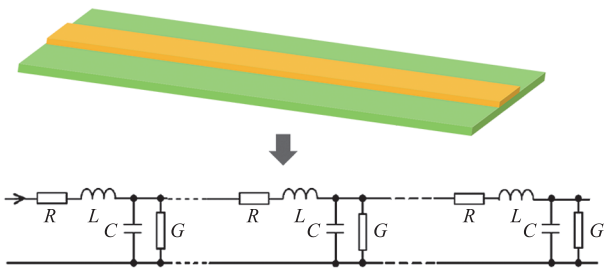


图 2 传输线等效电路示意图

Fig. 2 Schematic diagram of equivalent circuit of transmission line

路模型。其中，R 和 L 为单位长度的串联电阻和电感，C 为金属导体与地平面之间的单位长度并联电容，G 为由电介质的泄漏电流和介质损耗引起的单位长度并联电导。传输线的损耗根据来源进行分析，通常包含导体损耗和介质损耗两种[19]，损耗的大小用损耗常数 α 描述：

$$\alpha=\alpha_{\text{cond}}+\alpha_{\text{diel}} \tag{1}$$

$$\alpha_{\text{cond}}=\frac{R}{2}\sqrt{\frac{C}{L}}=\frac{R}{2Z}=k\times\frac{\rho\sqrt{f}}{wZ} \tag{2}$$

$$\alpha_{\text{diel}}=\frac{G}{2}\sqrt{\frac{L}{C}}=\frac{GZ}{2}=k\times f\times\sqrt{D_{\text{k}}}\times D_{\text{f}} \tag{3}$$

其中，α_{cond} 为导体损耗系数；α_{diel} 为介质损耗系数；k 为与结构有关的常数；ρ 为导体的电阻率；Z 为阻抗；w 为信号传输结构对应的导体宽度；f 为频率；D_{k} 为介质的相对介电常数；D_{f} 为介质的损耗角正切值。由式(2)～式(3)可知：导体损耗系数与频率的平方根成正比，介质损耗系数与频率成正比，由此可知，损耗与频率密切相关。简单来看，导体损耗在低频段影响较大，介质损耗在高频段影响较大。了解 BF 材料的物性参数在典型结构中不同信号传输频率下的损耗及组成，对理解其在实际工作环境中的器件电学性能意义重大。

2.2　积层胶膜材料物性

随着电子产品的多元化和功能复杂化，不同应用领域和场景对封装结构和材料的性能提出更精细和多样化的要求。例如，针对不同的应用场景，可能需要选用不同物性的 BF 材料。以 CBF 为例，其不同型号开发品的主要特性参数如表 1 所示。

基于传输线理论分析，电介质材料的电学性能参数(主要包括 D_{k} 和 D_{f})是影响信号传输的重要因素。为研究 BF 介电特性对信号传输损耗的影响，本文首先基于微带传输线结构，对自主研发的不同型号的 CBF 材料(CBF-007、CBF-014 和 CBF-018)进行电学仿真研究，具体型号及实测性能参数如表 2 所示。此外，为更清晰地理解 D_{k} 和 D_{f} 对信号传输损耗的影响，本文进一步设计了一系列具有不同 D_{k} 和 D_{f} 的介质材料，以供对照，具体参数如表 3 所示。

表 2　自研积层薄膜材料的部分型号及实测性能参数

Table 2　Creative build-up film material part type and measured performance parameters

介质	D_{k}	D_{f}
CBF-007	3.39	0.008
CBF-014	3.33	0.011
CBF-018	3.37	0.014

表 3　仿真所需对照组参数

Table 3　Parameters of control group required for simulation

介质	D_{k}	D_{f}
对照组-1	3.10	0.011
对照组-2	3.33	0.011
对照组-3	3.50	0.011
对照组-4	3.33	0.008
对照组-5	3.33	0.014

表 1　自研积层薄膜材料的型号和物性参数

Table 1　Creative build-up film material type and physical property

CBF 物性参数	最小熔融黏度 (Pa•s)	分解温度 (℃)	玻璃化转变温度 (℃)	25～150 ℃ *x-y* 方向热膨胀系数 (10^{-6}/℃)	150～240 ℃ *x-y* 方向热膨胀系数 (10^{-6}/℃)	杨氏模量 (GPa)	抗拉强度 (MPa)	伸长率 (%)	10 GHz 介电常数 (F/m)	10 GHz 损耗角正切值
CBF-007	82	380	201	20	66	9.0	70	2.2	3.39	0.008
CBF-014	63	387	178	29	110	8.0	98	2.3	3.33	0.011
CBF-018	26	382	185	36	123	6.3	90	5.1	3.37	0.014

3 结果与讨论

3.1 积层胶膜材料物性对损耗的影响

3.1.1 微带线损耗研究

通常所说的损耗一般指插入损耗，即接收端得到的功率与入射端入射波的功率比值。散射参数 S 又称传输参数，用于描述电路中各个端口之间的电磁波传输情况，以及电路对入射信号的散射反应[20]。它本质上是传输网络中一组描述行波的散射参数的集合。S 的正向传输系数 S_{21} 为传输前后的电压振幅比值，是输出功率与输入功率比值的平方根，因此可直接利用 S_{21} 描述插入损耗的大小。另外，反射系数 S_{11} 为返回入射端的信号大小，也是插入损耗的一部分，称为回波损耗。业界常用 S_{21} 和 S_{11} 研究信号传输损耗问题。

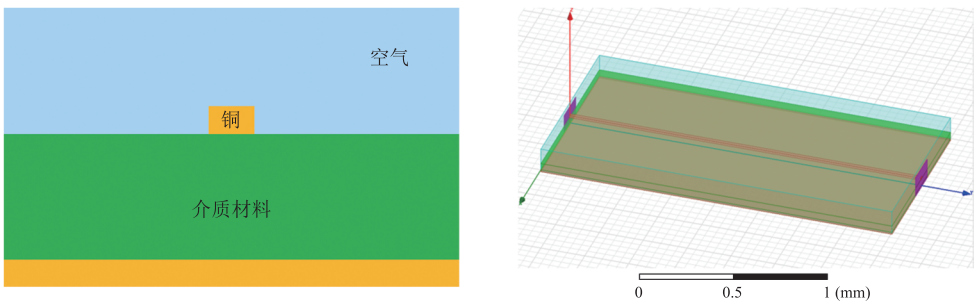
封装基板中存在微带线、带状线、共面波导等传输结构，本文重点研究 BF 材料的物理特性对信号损耗的影响。但与微带线相比，由于带状线和共面波导线受接地铜面的影响较多，影响基于积层胶膜材料的研究，因此本研究在 HFSS 仿真软件中构建了微带传输线模型，且未进行阻抗匹配。若进行阻抗匹配，则需对结构进行修改调整，无法控制单一变量。传输线的结构如图 3 所示，其中，传输线的长、宽、高分别为 2 mm、20 μm、12 μm。微带传输线模型采用波端口激励、Radiation 边界条件和赋予铜 Finite Conductivity 边界条件。

表 2 中 3 种型号的 BF 材料在 0～30 GHz 内的损耗仿真结果如图 4 所示。由图 4 可知，随着频率的升高，插入损耗、介质损耗和导体损耗都呈上升趋势。通过对比使用不同 BF 材料基板的仿真结果发现，传输线的介质损耗差异较大，而导体损耗几乎不变，且插入损耗是介质损耗与导体损耗累加的结果，与式(1)一致。显然，介质损耗在高频下更显著，这对 BF 材料的电学性能在高频场景下的应用提出了更高要求。

基于表 3 的参数进一步阐释不同频率下 BF 材料的 D_k 和 D_f 对导体损耗和介质损耗的影响。表 3 中的材料在 0～60 GHz 下的介质损耗和导体损耗如图 5 所示：1)随着 D_k 的提高，介质损耗变化很小，而随着 D_f 的提高，介质损耗明显增大，此结果基本与式(3)相对应，即介质损耗与 D_k 的平方根成正比，与 D_f 成正比；2)介质损耗与频率成正比，频率越高，介质损耗越大，总的插入损耗也相应越大，总的来说，采用低 D_k 和低 D_f 的封装基板材料对降低传输损耗和保证信号质量意义重大，而与 D_k 相比，D_f 的作用更大；3)在 0～60 GHz，介质损耗在高频下明显增加。对于 D_f 为 0.014 的 BF 来说，其介质损耗在大于 30 GHz 时已超过导体损耗，成为损耗源中的主体。

3.1.2 基于传输线理论的损耗分析

由图 5 可知，导体损耗随频率的升高而增



(a) 传输线结构示意图 (b) 仿真软件中实际构建模型

图 3 传输线结构图

Fig. 3 Transmission line structure diagram

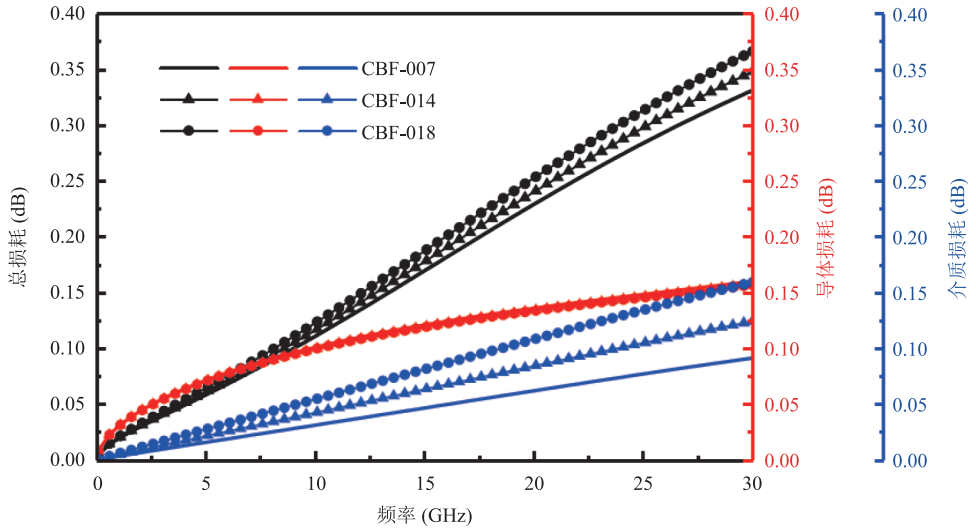


图 4　基于自研积层薄膜的 3 种传输线在 0～30 GHz 的损耗仿真结果

Fig. 4　Simulation results of 0-30 GHz loss of three types of transmission lines using creative build-up film

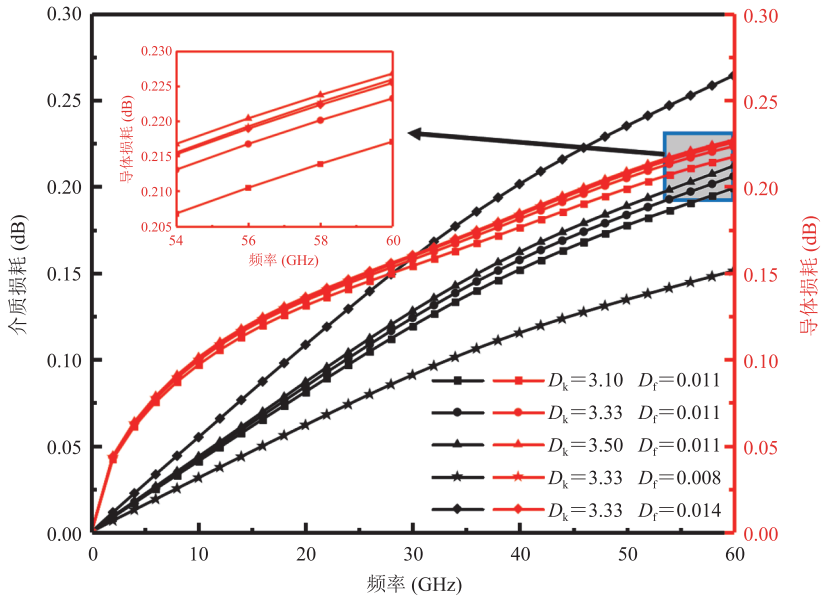
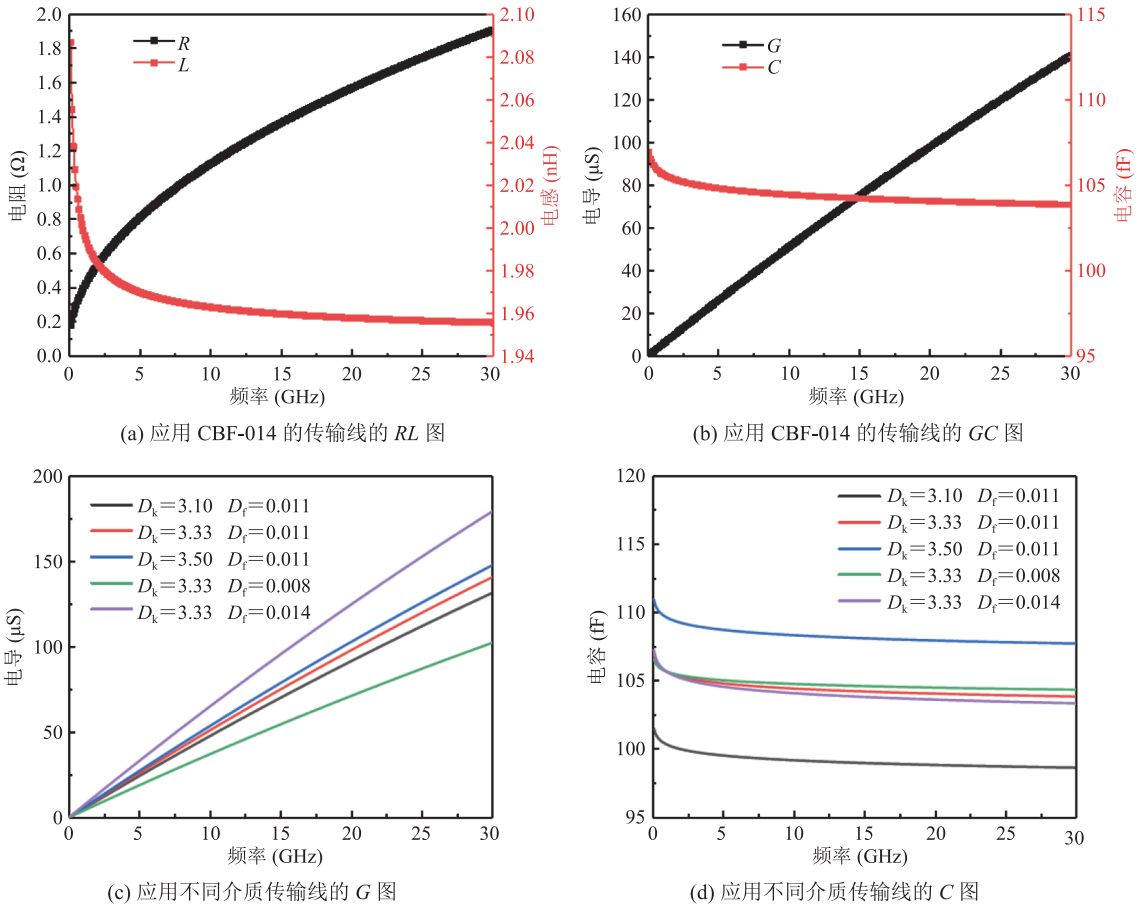


图 5　基于不同介质的传输线在 0～60 GHz 下的介质损耗和导体损耗

Fig. 5　Dielectric loss and conductor loss of transmission lines based on different dielectrics at 0-60 GHz

加，这可能与高频下的趋肤效应密切相关。高频下，电流趋向于分布在导体表面，导致导体的等效电阻增加，并导致最终的导体损耗增加。同时，图 5 中的局部放大图显示，导体损耗随 D_k 的增大而略微增大，而 D_f 对导体损耗几乎无影响。接下来，本文利用 Q3D 仿真软件提取 R、L、G、C，并结合传输线理论，分析 BF 的物性参数对 R、L、G、C 的影响，系统讨论 BF 的物性参数对导体损耗的影响。

CBF-014 型传输线的等效 R、L、G、C 随频率的变化如图 6(a)～图 6(b)所示：等效 R 随频率的升高而增大；等效 L 随频率的升高而减小，并逐渐趋于平稳，这将导致传输线的导体损耗增大，与式(2)对应；等效 C 随频率升高而减小，



(a) 应用 CBF-014 的传输线的 *RL* 图　　(b) 应用 CBF-014 的传输线的 *GC* 图

(c) 应用不同介质传输线的 *G* 图　　(d) 应用不同介质传输线的 *C* 图

图 6　应用不同介质的传输线的等效参数图

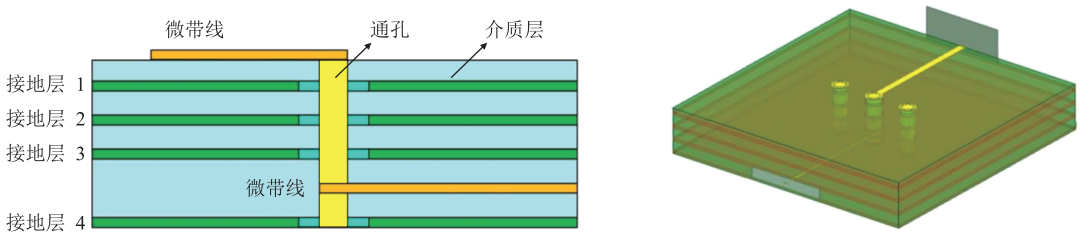
Fig. 6　Equivalent parameter diagram of transmission lines using different dielectrics

并趋于平稳；等效 *G* 随频率升高而增大，这将导致传输线的介质损耗增大，与式(3)对应。

基于传输线理论，电路可简化为 *R*、*L*、*G*、*C* 等效模型。经验证发现，这几个参数中，与 BF 材料物理性能相关的是 *G* 和 *C*，如图 6(c)～图 6(d)所示，而 *R*、*L* 几乎不受 BF 参数变化的影响。由图 6(c)可知：D_k、D_f 增大都会导致等效 *G* 增大；而 D_f 的改变对等效 *G* 的影响更显著，这与上文中介质损耗和插入损耗随 D_f 的增大而显著增大的结果一致，与式(3)相互印证。由图 6(d)可知：随着 D_k 的增大，等效 *C* 增大，导致传输线阻抗减小；而当 D_f 改变时，等效 *C* 和阻抗基本不变，因此介电损耗对导体损耗几乎无影响，该结果结合式(2)，可解释上文中导体损耗随 D_k 改变，而基本不随 D_f 改变的现象。以上基于传输线模型的 *R*、*L*、*G*、*C* 分析可进一步阐释传输损耗随频率变化的内在机制。

3.2　过孔结构损耗研究

在多层封装基板中，过孔负责层间连接，是基板中重要的结构特征。过孔结构有多种类型，其连接的线路层数各不相同，有的贯通基板中间的核心层，为核心层两侧提供互连(通孔)，有的仅在一侧连接相邻两层(盲孔)。本研究主要考虑 CBF 应用于多层封装基板时的情况，故将未穿过基板中间核心层(core layer)的过孔结构作为研究对象，如图 7 所示。该过孔的引入实现了表层线路和内部线路的互连，穿越了多层源/地平面，涉及信号传输路径的转换。



(a) 结构示意图　　(b) 软件构建模型图

图 7　过孔结构的多层基板示意图

Fig. 7　Schematic diagram of multilayer substrate with via structure

3.2.1 阻抗匹配

当信号从一个传输介质进入另一个传输介质时，若两个介质之间存在阻抗不匹配或传输线特性不匹配等情况，则部分信号会反射回原始介质或器件，形成反射波。在传输过程中，信号的瞬时阻抗并不是恒定的，瞬时阻抗发生变化的地方称为阻抗突变[19]，反射是由传输介质之间存在的阻抗差异造成的。实际上，信号在封装基板内部的结构中传输时会遇到诸多阻抗突变的情况，如传输线拐弯、过孔结构、分支线和键合线等。

若发生阻抗不匹配，则部分能量无法顺利传输至目标介质，而是反射回来，导致反射波与入射波同时存在于传输线上，产生波形失真和干扰，如图 8 所示。

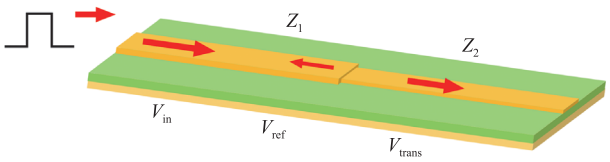


图 8　信号在阻抗突变处发生反射

Fig. 8　The signal is reflected at the abrupt change of impedance

反射的影响取决于反射系数，表示如下：

$$\gamma=\frac{V_{ref}}{V_{in}}=\frac{Z_2-Z_1}{Z_2+Z_1} \tag{4}$$

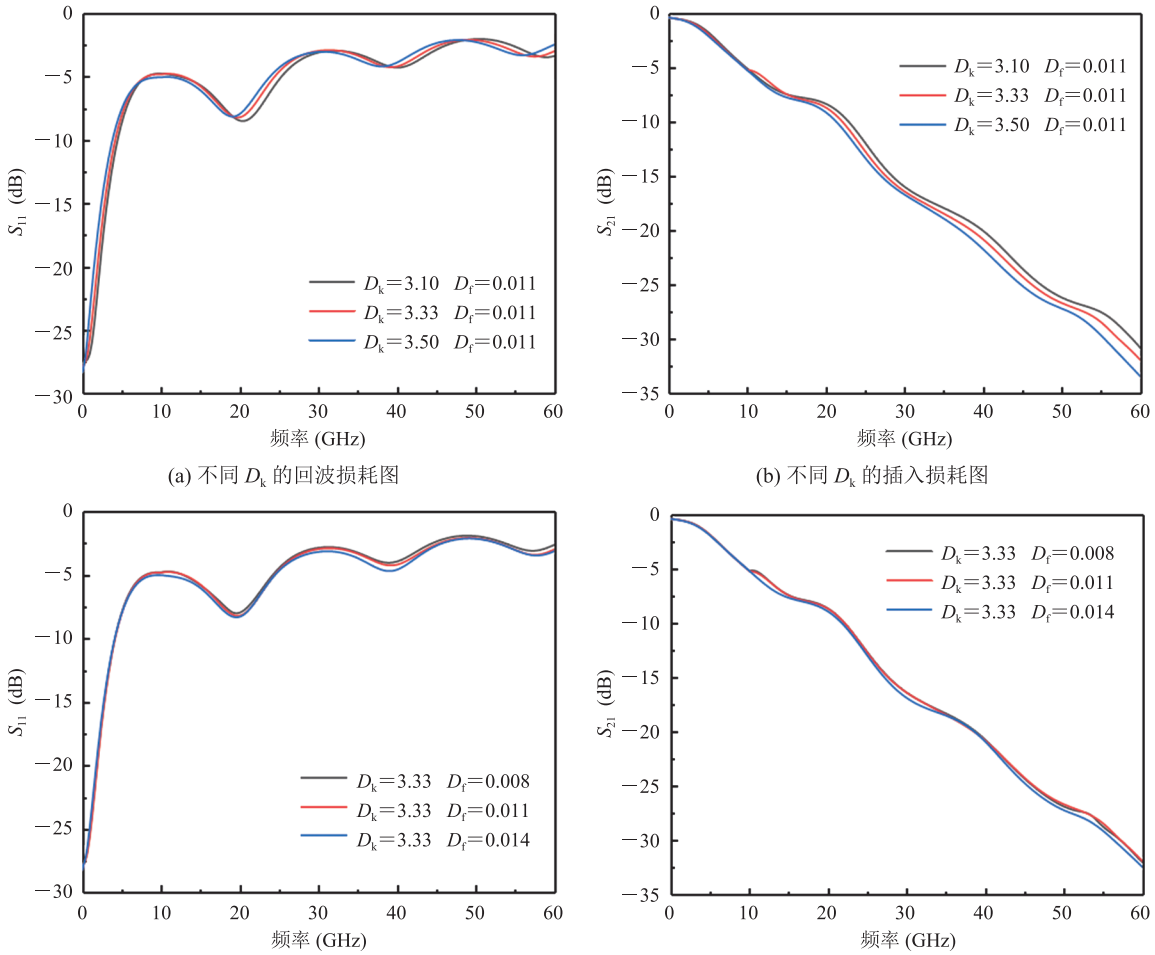
其中，V_{in} 为输入电压；V_{ref} 为反射电流形成的电压；V_{trans} 为接收到的电压；Z_1 为图 8 中左侧的阻抗；Z_2 为图 8 中右侧的阻抗；γ 为反射波幅度与入射波幅度之间的比例关系。反射系数的大小取决于阻抗不匹配的程度。当阻抗完全匹配时，反射系数为 0，即无反射；当阻抗完全不匹配时，反射系数为 1，即完全反射。

由于 BF 材料的 D_k、D_f 均会影响电路的等效 L、C，从而导致电路的阻抗发生变化，产生阻抗不匹配现象，进而导致过孔的信号完整性发生改变。因此本研究主要利用 S 和 Z 表征不同介质材料参数对过孔结构和整个封装基板模型的信号传输的影响。

3.2.2 过孔结构的损耗

当使用不同介质的过孔结构时，S_{11} 和 S_{21} 随频率的变化如图 9 所示。与微带传输线相比，过孔结构的反射和损耗都大幅上升。首先，反射十分明显，在 10～60 GHz 下，反射系数 S_{11} 在 −7.5～−2.5 dB，这是过孔结构本身带来的阻抗不匹配造成的，与介质材料的 D_k 和 D_F 关系不大。换言之，过孔结构的影响难以通过改变介质材料性能消除。

此外，回波损耗曲线在 20.0 GHz、37.7 GHz、55.0 GHz 附近存在明显的波谷，说明发生了谐振现象，而这都是过孔结构本身存在的问题。在特定频率下，电路结构可能会显示出谐振和反谐振的特性，过孔的引入使其更常见。由此表明，在该频率下，过孔结构对电磁波的响应会增强或减弱，这个特定的频率指电源/地平面的谐振点和反谐振点。这可能导致信号传输的失真、信号干



(a) 不同 D_k 的回波损耗图　(b) 不同 D_k 的插入损耗图

(c) 不同 D_f 的回波损耗图　(d) 不同 D_f 的插入损耗图

图 9　应用不同介质过孔的 S_{11} 和 S_{21} 变化曲线

Fig. 9　S_{11} and S_{21} diagrams of vias through different dielectrics

扰或其他不良影响，最终导致传输效果变差。过孔引起的返回路径平面谐振和反谐振导致上述现象频发[21-25]。

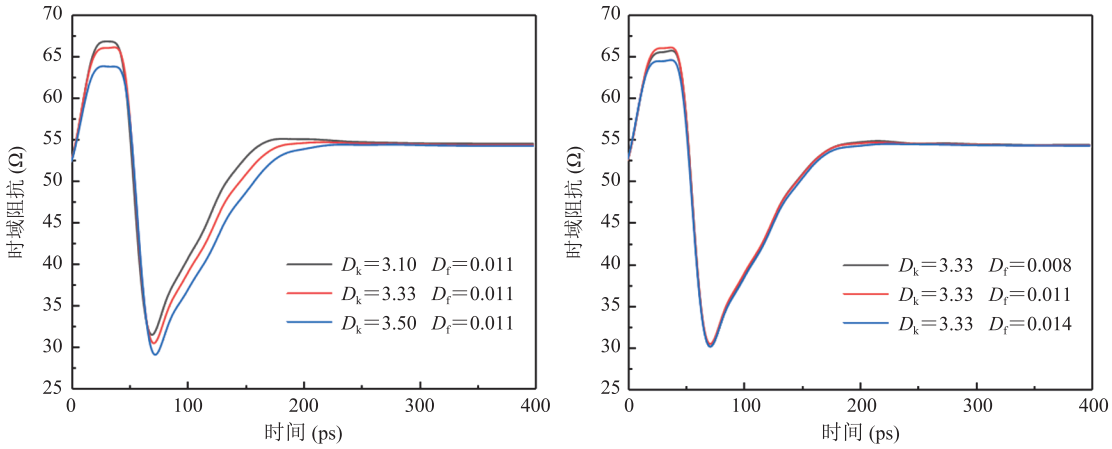
电路存在一个固有频率，该固有频率取决于其结构特性和板层间介质的性质，当给予的激励频率恰好等于电路的固有频率时，谐振就会发生，表现为电磁振荡的振幅达到了峰值。反之，当电磁振荡的振幅达到最低值时，则为反谐振。由图 9(a)和图 9(c)可知，谐振点受介质材料 D_k 的影响，而与 D_f 几乎无关。增大介质材料的 D_k，可使电路的谐振点前移。相应地，与未引入过孔结构前相比，插入损耗受回波损耗改变的影响也大幅增加，在高频 60 GHz 附近，约为 30 dB。

3.2.3 过孔结构的阻抗

综上所述，引起反射的主要原因是存在阻抗不匹配现象。为更直观地体现阻抗在过孔前后的变化，使用不同介质过孔的时域阻抗 Z 如图 10 所示。可以看到，过孔结构的引入使得阻抗先上升后急剧下降，其极值受介质材料 D_k 的影响较显著，而与 D_f 关系不大，主要原因是介质的 D_k 对等效 C 的贡献较大，而 D_f 基本无影响。

3.3　界面粗糙度对传输损耗的影响

在实际工艺制造中，无论是压合工艺，还是电镀工艺，都会因为材料界面、设备精度等问题，造成不同粗糙程度的接触面，然而，对于信号传输来说，这种粗糙界面一般会产生一定的不利影



(a) 不同 D_k 的时域阻抗图　　(b) 不同 D_f 的时域阻抗图

图 10　使用不同介质过孔的时域阻抗图

Fig. 10　Time domain impedance diagram of vias using different dielectrics

响。因此，本研究将讨论粗糙度对损耗的影响。

在电学仿真中，研究粗糙度对信号传输损耗的模型包括 Groiss、Hammerstad 和 Huray 等。

其中 Hammerstad 模型在考虑高频信号的阻抗随频率增加的同时，也考虑了趋肤效应和表面粗糙度的影响，如式(5)所示[26]：

$$R_{ac}=K_H R_S\sqrt{f} \tag{5}$$

其中，R_{ac} 为交流电时的等效电阻；R_S 为金属导体的电阻；f 为交流电流的频率；K_H 为 Hammerstad 系数，另一个物理含义是 P_{rough}/P_{smooth}，即粗糙表面的功率损耗与平滑表面的功率损耗之比[27]，如式(6)所示。

$$K_H=1+\frac{2}{\pi}\arctan\left[1.4\left(\frac{S}{\delta}\right)^2\right]=1\sim2 \tag{6}$$

其中，S 为表面的粗糙度；δ 为趋肤深度，它们的单位均与长度单位一致。Hammerstad 模型在 $K_H=2$ 时会发生饱和，因此，Hammerstad 模型经常仅用于粗糙度 $H_{RMX}<2$ μm 时，对于高粗糙度的界面来说，Hammerstad 模型是失效的，所以需要其他模型。

Huray 模型认为，粗糙表面可以用颗粒堆积的形状来表示，提出了 3D 的雪球模型描述，如图 11 所示。

该模型假设以六边形构成底面单元，每个单元再以不同数目的球堆成金字塔形状[28]。

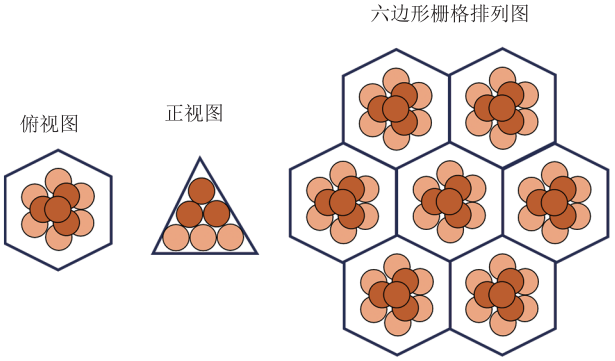


图 11　Huray 模型雪球堆积示意图

Fig. 11　Schematic diagram of snowball accumulation in Huray model

Huray 模型的定义需要如下 3 个参数，其中：A_f 为单位六边形的面积；N 为每个单位六边形所包含的“雪球”数；a 为“雪球”半径。由此可得霍尔-赫雷表面比(Hall-Huray Surface Ratio，SR)[29-32]：

$$SR=\frac{N4\pi a^2}{A_f} \tag{7}$$

$$Z_{rough}=Z_{smooth}\left(\frac{P_{rough}}{P_{smooth}}\right)=Z_{smooth}factor \tag{8}$$

$$factor=\frac{P_{rough}}{P_{smooth}}=1+\frac{3}{2}SR\frac{1}{1+\frac{\delta}{a}+\frac{\delta^2}{2a^2}} \tag{9}$$

其中，Z_{rough} 为粗糙时的阻抗；Z_{smooth} 为平滑时的阻抗，它们可以由功率损耗比 *factor* 构建关系，如公式(8)所示，这里 Huray 将 P_{rough}/P_{smooth} 定义为 *factor*，虽与上文中的 K_H 为同一物理量，但是出于尊重作者的定义模型，保持与原文相同的公式。

Groiss 表面粗糙度模型是导体表面粗糙度和趋肤深度的简单函数[33]，表示如下：

$$R_{fact}=1+e^{-\left(\frac{\delta}{2S}\right)^2} \tag{10}$$

若确定了 Groiss 表面粗糙度因子 R_{fact}，则粗糙表面阻抗可表示如下：

$$Z_{rough}=R_{fact}\times Z_{smooth} \tag{11}$$

随着基板向着集成度更高的方向发展，基板线路加工更精细，要求接触面具有更低的粗糙度。本文利用 Groiss 模型对粗糙度开展仿真分析。与 Hammerstad 模型类似，Groiss 模型虽然不适用于仿真高粗糙度的界面，但足以满足对精细线路低粗糙度的研究。本研究将 $D_k=3.33$、$D_f=0.011$ 的 CBF-014 作为介质材料，采用与 3.1.1 节相同的微带传输结构，研究了不同粗糙度对损耗的影响，粗糙度设置了 4 个梯度，分别为 0 μm、0.1 μm、0.2 μm 和 0.3 μm。不同粗糙度传输线的导体损耗如图 12 所示。

由图 12 可知，在 5 GHz 前，铜箔粗糙度对损耗几乎无影响，频率越高，导体损耗越大。由式(10)可知：粗糙度越大，即 S 越大，$\delta/2S$ 越小，R_{fact} 越大，损耗越大。

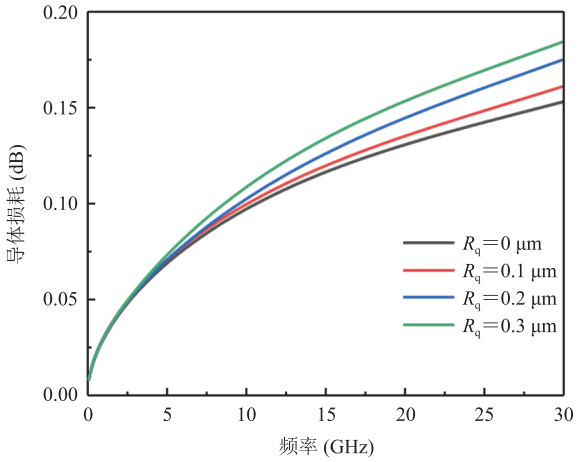


图 12 不同粗糙度传输线的导体损耗图

Fig. 12 Conductor loss diagram of transmission lines with different roughness

4 结 论

目前，对封装基板信号传输的优化主要包括对积层胶膜材料配方工艺等方面的优化和对基板结构设计的优化，例如：Fujishima 等[6]将二氧化硅填料的质量分数从 38% 增至 72%，大大降低了损耗因子，使得高频信号传输过程中的信号传输损耗更低，这与本文中 D_f 的影响结果一致；Kempa 等[9]的研究发现，较高的粗糙度有利于改善与铜的附着力，但通常会导致更高的信号损耗，这与本文中关于粗糙度的影响结果一致，即材料与铜相接触的界面越粗糙，信号损耗越严重。基于此，本文进一步分析了不同因素对导体损耗、介质损耗和等效 R、L、G、C 的影响，结论如下：

(1)频率越高，微带线的信号损耗越大，这是介质损耗与导体损耗叠加的结果。在低频时，导体损耗大于介质损耗，是总损耗的主体，但随着频率的增加，导体损耗的增加速度逐渐放缓，介质损耗的增加速度保持不变，因此在高频时，介质损耗成为主体。这一现象与 BF 材料的 D_k、D_f 相关，其中 D_f 更显著，D_f 越大，介质损耗增速越快，介质损耗会在更低的频率超越导体损耗。

(2)R、L、G、C 中的 G 和 C 与 BF 材料密切相关，而 R、L 几乎不受 BF 参数变化的影响。介质的 D_k、D_f 增大都会导致等效电导 G 增大，而介质材料的 D_f 改变对等效电导 G 的影响更显著，这与上文中介质损耗和插入损耗随 D_f

增大而显著增大的结果一致。随着介质材料的 D_k 增大，等效 C 增大，从而导致传输线阻抗减小，而介质材料的 D_f 改变时，等效电容与阻抗基本不变，因此，D_f 对导体损耗几乎无影响。

(3) 过孔的结构特征对信号的传输损耗影响较大，主要原因是过孔结构带来的阻抗不匹配引发信号反射，导致信号损耗较大。BF 材料对过孔信号损耗的影响主要体现在其 D_k 对等效 C 的影响和阻抗的极值大小方面，从而影响阻抗的不匹配度，总体来说，BF 材料对过孔损耗的影响较小。此外，BF 材料的 D_k 变化会影响过孔结构发生谐振的频率，增大介质材料的 D_k 可使电路的谐振点前移。

(4) 在低频时，粗糙度对信号传输的影响不大，随着频率的增加，受导体趋肤效应的影响，导体损耗会随铜箔粗糙度的增加而增加。

参 考 文 献

[1] Andrea C, Randy HYL. Semiconductor packaging: materials interaction and reliability [M]. Boca Raton: CRC Press, 2012: 3-9

[2] 师研, 高艳茹. 电路板用低介电纤维布 [J]. 印制电路信息, 2008, (6): 25-29.
Shi Y, Gao YR. Low dielectric constant fabrics for circuit board applications [J]. Printed Circuit Information, 2008, (6): 25-29.

[3] 祝大同. 对 PCB 用树脂膜新技术与新市场的探讨 [C] // 第十九届中国覆铜板技术研讨会论文集, 2018: 7-28.
Zhu DT. Discussion on new technology and market of resin film for PCB [C] // Proceedings of the 19th China Copper Clad Laminate Technology Seminar, 2018: 7-28.

[4] 王万兴, 王耀先. BT 树脂及其改性研究进展 [C] // 第十八届玻璃钢/复合材料学术年会论文集, 2010: 162-165.
Wang WX, Wang YX. Research progress of BT resin and its modification [C] // Proceedings of the 18th Annual Conference on FRP / Composites, 2010: 162-165.

[5] Ding SJ, Fang ZD, Yu ZY, et al. Research progress of interfacial adhesion force of copper plating on Ajinomoto build-up films for chip substrates [J]. Materials Today Communications, 2023, 37: 107201.

[6] Fujishima S, Sakauchi H. Recent trend of layer-to-layer insulation resin for high frequency package [C] // Proceedings of the 2017 International Conference on Electronics Packaging, 2017: 337-340.

[7] Wei JJ, Zhu L. Intrinsic polymer dielectrics for high energy density and low loss electric energy storage [J]. Progress in Polymer Science, 2020, 106: 101254.

[8] Nimbalkar P, Bhaskar P, Kathaperumal M, et al. A review of polymer dielectrics for redistribution layers in interposers and package substrates [J]. Polymers, 2023, 15(19): 3895.

[9] Kempa S, Friz W, Gaul F, et al. Investigation of a proactive glass filler removal in IC substrate build up films and its effect on topography and copper adhesion reliability [C] // Proceedings of the 51st International Symposium on Microelectronics-Pasadena, 2018: 000634-000639.

[10] Salunke A, Sasidharan S, Cherukattu Gopinathapanicker J, et al. Cyanate ester—epoxy blends for structural and functional composites [J]. Industrial & Engineering Chemistry Research, 2021, 60(8): 3260-3277.

[11] Sundaram V. Advances in electronic packaging technologies by ultra-small microvias, super-fine interconnections and low loss polymer dielectrics [D]. Atlanta: Georgia Institute of Technology, 2009.

[12] Ma Y, Gontrand C. Power, thermal, noise, and signal integrity issues on substrate/interconnects entanglement [M]. Boca Raton: CRC Press, 2019.

[13] 畅艺峰, 康健, 邹旭军, 等. 不同传输模式下多芯片组件串扰的建模与仿真 [J]. 通信技术, 2018, 51(9): 2064-2068.
Chang YF, Kang J, Zou XJ, et al. Modeling and simulation of multi-chip component crosstalk in different transmission modes [J]. Communications Technology, 2018, 51(9): 2064-2068.

[14] 黄春跃, 郭广阔, 梁颖, 等. 基于 HFSS 的高速互连 BGA 焊点信号完整性仿真分析 [J]. 系统仿真学报, 2014, (12): 2985-2990.
Huang CY, Guo GK, Liang Y, et al. Analysis of

signal integrity of the high-speed interconnects BGA solder joint based on HFSS [J]. Journal of System Simulation, 2014, (12): 2985-2990.

[15] Tsai MY, Chen YC, Lee SWR. Correlation between measurement and simulation of thermal warpage in PBGA with consideration of molding compound residual strain [J]. IEEE Transactions on Components and Packaging Technologies, 2008, 31(3): 683-690.

[16] Guan YL, Zhou SL. The use of taguchi method for robust optimization of PCB differential-via [C] // Proceedings of the 2013 IEEE International Conference on Microwave Technology & Computational Electromagnetics, 2013: 26-29.

[17] Deng YY, Li ZJ, Yu YT, et al. S parameters optimization of high-speed differential vias model on a multilayer PCB [C] // Proceedings of the 2022 23rd International Conference on Electronic Packaging Technology (ICEPT), 2022: 1-4.

[18] Laddha V, Swaminathan M. Correlation of PDN impedance with jitter and voltage margin for high speed channels [C] // Proceedings of the 2008 IEEE-EPEP Electrical Performance of Electronic Packaging, 2008: 73-76.

[19] Bogatin E. Signal integrity: simplified [M]. Upper Saddle River: Prentice Hall PTR, 2003: 466-473.

[20] Naik BH, Misbahuddin M, Paidimarry CS. S-parameter modeling and analysis of RGLC interconnect for signal integrity [C] // Proceedings of the 2017 International Conference on Recent Trends in Electrical, Electronics and Computing Technologies (ICRTEECT), 2017: 11-16.

[21] 方志坚, 姜育峰, 王力. 减小 PCB 微带线间串扰方法分析 [J]. 印制电路信息, 2007, (9): 34-36.
Fang ZJ, Jiang YF, Wang L. Analysis of approaches for reducing crosstalk between coupled microstrip lines [J]. Printed Circuit Information, 2007, (9): 34-36.

[22] 郑常斌, 张丹, 黎淑兰, 等. PCB 上两平行微带线的串扰分析 [J]. 安全与电磁兼容, 2007, (3): 73-76.
Zheng CB, Zhang D, Li SL, et al. Crosstalk analysis between two parallel micro-strip lines on PCB [J]. Safety and Electromagnetic Compatibility, 2007, (3): 73-76.

[23] 孟晶, 俞能杰. 高速 PCB 板谐振仿真与分析 [J]. 现代电子技术, 2014, 37(10): 144-146.
Meng J, Yu NJ. Simulation and analysis of high-speed PCB resonance [J]. Modern Electronics Technique, 2014, 37(10): 144-146.

[24] Li JB, Shi YJ, Niu ZX, et al. Modeling, simulation and optimization design of PCB planar transformer [C] // Proceedings of the 2005 International Conference on Electrical Machines and Systems, 2005: 1736-1739.

[25] Ouyang ZW, Thomsen OC, Andersen MAE. Optimal design and tradeoff analysis of planar transformer in high-power DC-DC converters [J]. IEEE Transactions on Industrial Electronics, 2010, 59(7): 2800-2810.

[26] Hammerstad E, Jensen O. Accurate models for microstrip computer-aided design [C] // Proceedings of the 1980 IEEE MTT-S International Microwave Symposium Digest, 1980: 407-409.

[27] Huray PG, Oluwafemi O, Loyer J, et al. Impact of copper surface texture on loss: a model that works [J]. DesignCon, 2010, (1): 462-483.

[28] Simonovich L. Practical method for modeling conductor roughness using cubic close-packing of equal spheres [C] // Proceedings of the 2016 IEEE International Symposium on Electromagnetic Compatibility, 2016: 917-920.

[29] Huray PG, Hall S, Pytel S, et al. Fundamentals of a 3-D “snowball” model for surface roughness power losses [J]. IEEE Electromagnetic Compatibility Magazine, 2020, 9(2): 62-65.

[30] Hall S, Pytel SG, Huray PG, et al. Multigigahertz causal transmission line modeling methodology using a 3-D hemispherical surface roughness approach [J]. IEEE Transactions on Microwave Theory and Techniques, 2007, 55(12): 2614-2624.

[31] Pytel SG, Huray PG, Hall SH, et al. Analysis of copper treatments and the effects on signal propagation [C] // Proceedings of the 2008 58th Electronic Components and Technology Conference, 2008: 1144-1149.

[32] Pytel SG. Multi-gigabit data signaling rates for PWBs including dielectric losses and effects of surface roughness [D]. Columbia: Safety & EMC, 2007.

[33] Groiss S, Bardi I, Biro O, et al. Parameters of lossy cavity resonators calculated by the finite element method [J]. IEEE Transactions on Magnetics, 1996, 32(3): 894-897.